**TEST PREGUNTAS**

**Leandro Jorge Fernández Vega DGIIM**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** |
| **b** | **c** | **c** | **b** | **a** | **a** | **d** | **d** | **b** | **b** |
| **11** | **12** | **13** | **14** | **15** | **16** | **17** | **18** | **19** | **20** |
| **b** | **c** | **a** | **c** | **b** | **b** | **b** | **a** | **a** | **d** |
| **21** | **22** | **23** | **24** | **25** |  |  |  |  |  |
| **a** | **b** | **c** | **c** | **b** |  |  |  |  |  |

**1.** ¿En qué generación se enmarcan los tubos de vacío?

a) 2º Guerra Mundial.

b) 1º Generación.

c) 3º Generación.

d) Ninguna es correcta.

**2.** ¿Cuál de los siguientes no es un tipo de bus?

a. Direcciones.

b. Datos.

c. Transversal.

d. Paralelo.

**3.** ¿Cuál es el resultado de la siguiente sentencia en lenguaje C?

(0x0034^0x0089) & (0xFFFF|0x3465)

a) 0x00BF

b) El mismo que ejecutar únicamente (0x0034^0x0089) & 0x3465

c) El mismo que ejecutar únicamente 0x0034^0x0089.

d) 0x00AC

**4.** La capacidad para expresar un alto grado de paralelismo en las microoperaciones a ejecutar (simultáneamente) es propio de:

a) Microprogramación Vertical.

b) Microprogramación Horizontal.

c) Nanoprogramación.

d) Segmentación de cauce.

**5.** La ejecución completa de una orden se lleva a cabo en las fases de:

a) Captación y ejecución.

b) Captación, carga y ejecución.

c) Preparación, carga y ejecución.

d) Ninguna es correcta.

**6.** Respecto al Contador de Programa (PC):

a) Contiene la dirección de la siguiente instrucción a ejecutar.

b) Contiene la instrucción a ejecutar.

c) Contiene la dirección del último dato leído de memoria.

d) Ninguna es correcta.

**7.** Mayoritariamente, las unidades de control son de tipo:

a) Nanoprogramadas y segmentadas.

b) Nanoprogramadas y cableadas.

c) Microprogramadas y segmentadas.

d) Microprogramadas y cableadas.

**8.** En cuanto al Funcionamiento Superescalar:

a) Reordenar instrucciones para evitar riesgos es más costoso que en segmentación.

b) Los efectos de los riesgos son más pronunciados.

c) Consiste en ejecutar varias instrucciones al mismo tiempo.

d) Todas son ciertas.

**9.** La segmentación de cauce:

a) Supone ejecutar varias instrucciones a la vez.

b) En inglés recibe el nombre de “pipelining”.

c) Supone optimizar el uso de memoria.

d) Todas son falsas.

**10.** Según la pirámide de clasificación de memoria:

a) La memoria a nivel de registro es la que más abunda en un computador común.

b) La memoria DRAM es más lenta que la SRAM.

c) La memoria SRAM es más lenta que la DRAM.

d) La memoria caché es de tipo L5.

**11.** Si %ecx contiene el valor -1, la secuencia de instrucciones

mov $20, %edx

cmpq %edx, %ecx

a. Pone SF=0.

b. Pone SF=1.

c. Pone CF=1.

d. Ninguna es correcta.

**12.** Generalmente, la orden en ensamblador *XOR Src Dest* se utiliza para:

a) Comparar registros.

b) Incrementar el valor de lo almacenado en un registro.

c) Poner un registro a 0.

d) Poner cierto indicador en un registro.

**13.** ¿Qué puede afirmarse de los registros %rax, %rdi, %rsi?

a) Son salva-invocante.

b) Son salva-invocado.

c) Se utilizan con propósitos especiales como %rbp y %rsp.

d) Pueden funcionar tanto como salva-invocante como salva-invocado.

**14.** Indique las banderas que intervienen en *setl/setnge*:

a) CF|ZF

b) ZF|OF

c) SF^OF

d) CF&ZF

**15.** La extensión de *gcc* que permite la optimización más agresiva es:

a) -Og

b) -O3

c) -O

d) -O0

**16.** Dada la siguiente secuencia de instrucciones, sabiendo que el registro destino es el último, indicar los tipos de riesgos que se dan:

add %r4, r3

sub %r3, %r1, %r2

or %r2, %r6, %r8

a) Un riesgo estructural.

b) Dos riesgos por dependencias de datos.

c) Un riesgo estructural y uno por dependencia de datos.

d) Un riesgo por dependencia de datos y uno de control.

**17.** Respecto a la arquitectura Harvard:

a) Al igual que la Von Neumann, no se distingue entre memoria para datos e instrucciones.

b) A diferencia de la Von Neumann, distingue entre memoria para datos e instrucciones.

c) Es excesivamente compleja.

d) Es radicalmente distinta a la arquitectura Von Neumann.

**18.** La instrucción en ensamblador *call* introduce en la pila:

a) La dirección de la instrucción a ejecutar al retornar de la función.

b) La dirección de la función llamada.

c) La dirección de la instrucción previa a la llamada.

d) El valor de MDR.

**19.** La siguiente secuencia de instrucciones

leaq (%rdi, %rdi, 7), %rax

shrq $3, %rax

produce el efecto de:

a) Todas incorrectas.

b) RAX = (7\*RDI+RDI) \* 3 = 24\*RDI

c) Poner RAX a 1.

d. RAX = (8+3) \* RDI

**20.** Sobre la pila:

a) No puede ser controlada por el usuario.

b) Crece hacia posiciones de memoria decrecientes.

c) En ella se salvaguardan ciertos registros durante la ejecución de funciones.

d) Todas son ciertas.

**21.** En cuanto a instrucciones de la unidad de control, seleccionar la opción correcta:

a) *Enable* habilita el flujo de salida de datos.

b) *Load* carga datos en la pila.

c) Dos de las demás son correctas.

d) *Enable* habilita el flujo de entrada de datos.

**22.** De las siguientes afirmaciones sobre memoria caché es falsa:

a) Se suele organizar en bloques, vías y conjuntos.

b) Está basada en memoria DRAM.

c) En la pirámide de memoria, se sitúa entre la memoria a nivel de registro y la de tipo L4.

d) Es de las memorias más caras, pero más rápidas.

**23.** ¿Qué valor contendrá rax tras ejecutar las siguientes instrucciones?

xorq %rdx %rdx

mov $0x0234 %eax

cltq

imulq %rax

a. 0

b. 0004DA80

c. 0004DA90

d. Todas incorrectas.

**24.** ¿Cuál de las siguientes instrucciones en ensamblador calcula direcciones sin hacer referencias a memoria?

a) mov

b) imul

c) lea

d) idiv

**25.** El objetivo de la nanoprogramación es:

a) Permitir una mayor variedad de instrucciones.

b) Reducir el tamaño de la memoria de control.

c) El aprovechamiento de regiones de memoria de ínfimo tamaño desperdiciadas.

d) Ninguna es correcta.